

08/31/00

CLIPPEDIMAGE= JP02000252430A

PAT-NO: JP02000252430A

DOCUMENT-IDENTIFIER: JP 2000252430 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: September 14, 2000

INVENTOR- INFORMATION:

| NAME | COUNTRY |
|-------------------|---------|
| ISHIKAWA, TSUTOMU | N/A |
| KOJIMA, HIROSHI | N/A |

ASSIGNEE- INFORMATION:

| NAME | COUNTRY |
|-----------------------|---------|
| SANYO ELECTRIC CO LTD | N/A |

APPL-NO: JP11050734

APPL-DATE: February 26, 1999

INT-CL_(IPC): H01L027/04; H01L021/822 ; H01L021/337 ; H01L029/808

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent damping at an input pad caused by parasitic capacitor.

SOLUTION: A current flowing a J-FET2 is increased/decreased as it is driven according to an input signal, and a parasitic capacitor 4 is charged/ discharged by an input/output signal of a buffer circuit 6 which responds it. Then the voltages of both poles of a parasitic capacitor 3 change at the same phase and level, allowing the parasitic capacitor 3 to be ignored. With no effect from the parasitic capacitor 3, damping in the input signal by the parasitic capacitor 3 is prevented.

COPYRIGHT: (C)2000, JPO

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-252430
(P2000-252430A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl.
H 01 L 27/04
21/822
21/337
29/808

識別記号

F 1
H 01 L 27/04
29/80

テマコード (参考)
H 5 F 0 3 8
C 5 F 1 0 2

(21) 出願番号 特願平11-50734
(22) 出願日 平成11年2月26日 (1999.2.26)

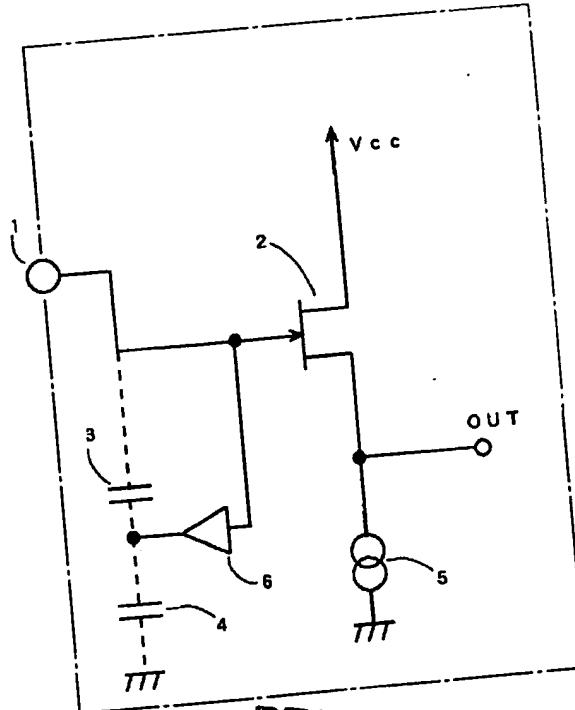
審査請求 未請求 請求項の数 5 OL (全 4 頁)

(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72) 発明者 石川 勉
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72) 発明者 小島 弘
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74) 代理人 100111383
弁理士 芝野 正雅
F ターム (参考) 5F038 AV01 BH08 BH18 CA03 CA09
DF06 EZ20
5F102 GA00 GV03

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 寄生容量に起因する入力パッドでの減衰を防
止する。
【解決手段】 J-FET 2が入力信号に応じて駆動さ
れると、J-FET 2に流れる電流が増減され、それに
応じたバッファ回路6の入出力信号によって寄生容量4
が充放電される。すると、寄生容量3の両極の電圧が同
位相、同一レベルで変化することになり、寄生容量3を
無視することができる。寄生容量3の影響が無くなるの
で、寄生容量3による入力信号の減衰を防止するこ
とができる。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 外部より入力信号が印加されるパッドを有する半導体集積回路において、前記パッドに接続される入力段回路と、入力端が前記パッドに接続されたバッファ回路とを備え、前記パッドと半導体基板のサブストレートとの間に発生する寄生容量を充放電するように、前記バッファ回路の出力端が接続されること特徴とする半導体集積回路。

【請求項2】 前記入力段回路の入力インピーダンスがハイインピーダンスに設定されていることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 さらに、前記入力段回路は、アンプで構成されることを特徴とする請求項2記載の半導体集積回路。

【請求項4】 さらに、前記入力段回路は、前記パッドに接続されるゲートを有し、半導体基板上に集積化された電界効果トランジスタにより構成されることを特徴とする請求項2記載の半導体集積回路。

【請求項5】 外部より入力信号が印加されるパッドを有する半導体集積回路において、前記パッドに接続されるソースフォロワ回路を有し、前記パッドと半導体基板のサブストレートとの間に発生する寄生容量を充放電するよう構成され、かつ前記トランジスタのソースから出力信号を得ることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、入力が高入力インピーダンスに設定される半導体集積回路に関する。

【0002】

【従来の技術】 J-FETは、BIP型素子に比較して入力インピーダンスが高く、MOS型FET素子に比較して静電破壊耐量も高いことから、コンデンサマイクロホン等の特定用途などに用いられている。この他にも小信号增幅用として低周波雑音が少ない事、高周波特性が良い事等の特性を有している。そして、ディスクリート型だけでなくBIP-ICに集積化されたJ-FETが開発されている。

【0003】 図3の如くJ-FETを集積化した集積回路において、外部回路から集積基板上に設けられたパッド1を介してJ-FET2のゲートに信号が印加される。外部からの入力信号により、J-FET2のゲート電圧が変化して、J-FET2に流れる電流が変わる。その電流は負荷抵抗RLによって電圧に変換され、外部に伝達される。

【0004】

【発明が解決しようとする課題】 図3の回路を集積化すると、パッド1とサブストレートとの間に寄生容量が2個発生する。つまり、図4のように示される集積化され

たパッドの断面図において、2つの分離領域101の間に島領域102が形成され、島領域102の上にパッドとメタル103が形成されている。このように集積化すると、島領域102とメタル103との間にMOS容量が発生し、島領域102とサブストレートとの間にジャンクション容量が発生する。これらの寄生容量を回路で示すと、図3のようにパッド1とJ-FET2のゲートとの接続点が寄生容量3及び4を介して接地されることになる。パッド1に高出力インピーダンスを有する素子、例えば小容量のコンデンサを接続した場合、寄生容量3及び4は、コンデンサの容量に比べ非常に大きい値になる。特に、図3の回路を特定用途で使用して、入力パッド1の面積を大きくした場合には、寄生容量がさらに大きくなるので、コンデンサの容量と寄生容量との差はさらに顕著となる。寄生容量3及び4により、J-FET2のゲートに印加される入力信号がパッド1で大きく減衰され、信号を得ることが難しかった。

【0005】

【課題を解決するための手段】 本発明は、外部より入力信号が印加されるパッドを有する半導体集積回路において、前記パッドに接続される入力段回路と、入力端が前記パッドに接続されたバッファ回路とを備え、前記パッドと半導体基板のサブストレートとの間に発生する寄生容量を充放電するよう、前記バッファ回路の出力端が接続されること特徴とする。

【0006】 特に、前記入力段回路の入力インピーダンスがハイインピーダンスに設定されていることを特徴とする。

【0007】 さらに、前記入力段回路は、アンプで構成されることを特徴とする。またさらに、前記入力段回路は、前記パッドに接続されるゲートを有し、半導体基板上に集積化された電界効果トランジスタにより構成されることを特徴とする。

【0008】 また、外部より入力信号が印加されるパッドを有する半導体集積回路において、前記パッドに接続されるソースフォロワ回路を有し、該ソースフォロワ回路で前記パッドと半導体基板のサブストレートとの間に発生する寄生容量を充放電するよう構成され、かつ前記トランジスタのソースから出力信号を得ることを特徴とする。

【0009】 本発明によれば、バッファ回路の出力信号またはソースフォロワ回路の出力信号によって、パッドとサブストレートとの間に発生する寄生容量を充放電するで、等価的に寄生容量を無視することができる。

【0010】

【発明の実施の形態】 図1は本発明の実施の形態を示す図であり、従来例である図3と異なる点は、J-FET2のソースに定電流源5を接続し、入力がJ-FET2のソースに、出力が寄生容量3及び4の接続点に接続されるバッファ回路6を備える点にある。

BEST AVAILABLE COPY

3

【0011】図1において、J-FET 2のゲートに正振幅の入力信号が印加されると、J-FET 2に流れる電流は増加する。すると、定電流源5の電流よりも増加した分がバッファ回路6に供給される。そして、バッファ回路6の出力電流も増加することにより、寄生容量4に電流が供給され、寄生容量4は充電される。寄生容量4が充電されることで、寄生容量3及び4の接続点の電圧が増加する。よって、J-FET 2のゲート電圧が増加すると、寄生容量3及び4の接続点電圧も増加する。

【0012】逆に、J-FET 2のゲートに負振幅の入力信号が印加されると、J-FET 2のゲートに負振幅の入力信号が印加されると、J-FET 2に流れる電流が定電流源5の定電流より減少する。すると、バッファ回路6の出力電流により、寄生容量4を放電させる。放電により寄生容量3及び4の接続点の電圧が減少するので、J-FET 2のゲート電圧の減少に応じて寄生容量3及び4の接続点電圧も減少することになる。

【0013】バッファ回路6を設けることで、寄生容量3の両極を同相で変化させることができる。また、バッファ回路6を調整することにより、寄生容量3及び4の充放電量を調整することで、寄生容量3及び4の接続点の電圧変化を入力信号のレベルと同一に調整することができる。寄生容量3の両極電圧を、同相及び同一レベルで振幅させることができるので、寄生容量3の電荷の変化が無くなる。よって、等価的に入力パッド1から見える寄生容量3を無視することができる。その結果、入力信号の減衰に係わる寄生容量は寄生容量4だけになり、入力信号の減衰量を低下させることができる。

【0014】ところで、バッファ回路6としては、J-FET 2と同様に高入力インピーダンスに設定される。また、ジャンクション容量である寄生容量4の容量は絶対値で見ると比較的小さいため、バッファ回路6の駆動能力は大きくなくともよい。その為、バッファ回路6を簡単な構成でよいため、素子数を少なく、集積化した場

10

4

合にはチップ面積を小さくすることができる。

【0015】さらに、バッファ回路6の駆動能力を大きくする必要はないため、寄生容量4の充放電をJ-FETのソース電流によって行うことが可能である。いわゆるJ-FETのソースフォロワ回路によって、寄生容量4の充放電が可能である。このようなJ-FET回路による充放電ができる事によって、図1のJ-FET 2とバッファ回路6とを兼用することができる。図2にJ-FET 2とバッファ回路6とを兼用した実施形態を示す。図2においては、J-FET 21のソースから出力信号を取り、かつJ-FET 21のソースフォロワ回路で寄生容量4を充放電させる。

【0016】尚、図1及び図2において、集積回路の入力段回路として、J-FET 2を用いたが、これに限らない。ハイ入力インピーダンスの入力段回路や、例えばバッファ回路を含むハイ入力インピーダンスのアンプにも、図1や図2の回路を適用することができる。

20

【0017】

【発明の効果】本発明に依れば、高入力インピーダンスかつ低容量のパッドを形成することができ、パッドにおける入力信号の減衰を防止することができる。

20

【図面の簡単な説明】

【図1】本発明の実施の形態を示す回路図である。

【図2】本発明の他の実施の形態を示す回路図である。

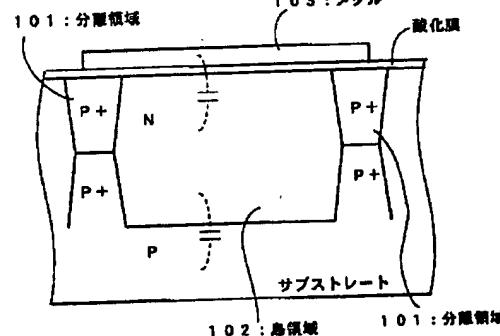
【図3】従来例を示す回路図である。

【図4】入力パッドを形成する半導体基板の断面図である。

【符号の説明】

| | |
|-----|--------|
| 1 | パッド |
| 2 | J-FET |
| 3、4 | 寄生容量 |
| 5 | 定電流源 |
| 6 | バッファ回路 |

【図4】



BEST AVAILABLE COPY